



COPY OF PAPERS  
ORIGINALLY FILED

RS 3765  
# 4  
8-21-02 PATENT  
81754.0069

JC972 U.S. PTO  
10/041726  
01/07/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Katsumi OKINA

Serial No: 10/041,714

Filed: January 7, 2002

For: Arbiter Device for Multi-Port  
Memory and Semiconductor  
Device

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first class mail in an envelope addressed  
to:

Assistant Commissioner for Patents  
Washington D.C. 20231, on

February 8, 2002

Date of Deposit

Shirley Ferguson

Name

February 8, 2002

Signature

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application  
No. 2001-019028 which was filed January 26, 2001, from which priority is claimed  
under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to  
ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: February 8, 2002

By:

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

RECEIVED  
FEB 12 2002  
10:00 AM EST



GROUP OF PATENTS  
CASES FILED

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC872 U.S. PTO  
10/041726



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日  
Date of Application:

2001年 1月26日

出 願 番 号  
Application Number:

特願2001-019028

出 願 人  
Applicant(s):

セイコーエプソン株式会社

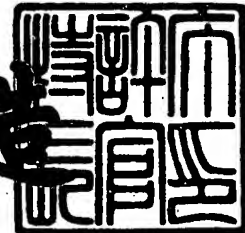
RECEIVED  
JAN 31 2002  
JPO

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 J0079949

【提出日】 平成13年 1月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 翁 勝美

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチポートメモリのアービタ装置及び半導体装置

【特許請求の範囲】

【請求項 1】 第一のポート及び第二のポートを備えるマルチポートメモリの前記第一のポート及び前記第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセレクト手段と、

を備えることを特徴とするマルチポートメモリのアービタ装置。

【請求項 2】 ライト専用の第一のポート及びリード専用の第二のポートを備えるマルチポートメモリの前記第一のポート及び前記第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセクタ手段と、

を備えることを特徴とするマルチポートメモリのアービタ装置。

【請求項3】 リード及びライトが可能な第一のポート及びリード専用の第二のポートを備えるマルチポートメモリの前記第一のポート及び前記第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセクタ手段と、

を備えることを特徴とするマルチポートメモリのアービタ装置。

【請求項 4】 第一のポート及び第二のポートを備えるマルチポートメモリと、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセレクタ手段と、

を備えることを特徴とする半導体装置。

【請求項 5】 ライト専用の第一のポート及びリード専用の第二のポートを備えるマルチポートメモリと、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力

アドレスと前記第二のポートへの入力アドレスとが同一であることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセクタ手段と、

を備えることを特徴とする半導体装置。

【請求項 6】 リード及びライトが可能な第一のポート及びリード専用の第二のポートを備えるマルチポートメモリと、

前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出する同一アドレス検出手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出した場合に、前記マルチポートメモリの前記第二のポートの動作を停止させる動作停止手段と、

前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出した場合に前記マルチポートメモリの前記第一のポートのデータを選択出力し、前記同一アドレス検出手段が前記マルチポートメモリの前記第一のポートへの入力アドレスと前記第二のポートへの入力アドレスとが同一であるとともに前記マルチポートメモリの前記第一のポートへのライト動作がイネーブルであることを検出しない場合に前記マルチポートメモリの前記第二のポートのデータを選択出力するセクタ手段と、

を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、マルチポートメモリのアービタ装置及び半導体装置に関する。特に

は、マルチポートメモリの複数のポートに対し同時に同一アドレスのアクセスをすることを可能にすることができるマルチポートメモリのアービタ装置及び半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来より、複数のポートの夫々に対しアクセスすることが可能なマルチポートメモリが用いられている。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、このような従来のマルチポートメモリでは、複数のポートに対し同時に同一アドレスのアクセスをした場合、そのようなアクセスに対するデータの保証がされないという問題があった。そのため、マルチポートメモリの複数のポートに対し同時に同一アドレスのアクセスをしないように、マルチポートメモリの外部回路やCPU (Central Processing Unit) のプログラムを作成していた。

【 0 0 0 4 】

本発明はこのような問題点に鑑みてなされたもので、その目的は、マルチポートメモリの複数のポートに対し同時に同一アドレスのアクセスをすることを可能にすることができるマルチポートメモリのアービタ装置及び半導体装置を提供することである。

【 0 0 0 5 】

【課題を解決するための手段】

上記課題を解決するため、本発明のマルチポートメモリのアービタ装置は、  
第一のポート及び第二のポートを備えるマルチポートメモリの第一のポート及び第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、 マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、 同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合に、マルチポート

メモリの第二のポートの動作を停止させる動作停止手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段が同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセレクタ手段と、を備えることを特徴とする。

## 【0006】

また、上記課題を解決するため、本発明のマルチポートメモリのアービタ装置は、ライト専用の第一のポート及びリード専用の第二のポートを備えるマルチポートメモリの第一のポート及び第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合に、マルチポートメモリの第二のポートの動作を停止させる動作停止手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセレクタ手段と、を備えることを特徴とする。

## 【0007】

また、上記課題を解決するため、本発明のマルチポートメモリのアービタ装置は、リード及びライトが可能な第一のポート及びリード専用の第二のポートを備えるマルチポートメモリの第一のポート及び第二のポートへのアクセスを調停するマルチポートメモリのアービタ装置であって、マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であると

もにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出する同一アドレス検出手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出した場合に、マルチポートメモリの第二のポートの動作を停止させる動作停止手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセクタ手段と、を備えることを特徴とする。

## 【 0 0 0 8 】

また、上記課題を解決するため、本発明の半導体装置は、第一のポート及び第二のポートを備えるマルチポートメモリと、マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合に、マルチポートメモリの第二のポートの動作を停止させる動作停止手段と、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセクタ手段と、を備えることを特徴とする。

## 【 0 0 0 9 】

また、上記課題を解決するため、本発明の半導体装置は、 ライト専用の第一のポート及びリード専用の第二のポートを備えるマルチポートメモリと、 マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出する同一アドレス検出手段と、 同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合に、マルチポートメモリの第二のポートの動作を停止させる動作停止手段と、 同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であることを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセクタ手段と、を備えることを特徴とする。

## 【 0 0 1 0 】

また、上記課題を解決するため、本発明の半導体装置は、 リード及びライトが可能な第一のポート及びリード専用の第二のポートを備えるマルチポートメモリと、 マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出する同一アドレス検出手段と、 同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出した場合に、マルチポートメモリの第二のポートの動作を停止させる動作停止手段と、 同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであることを検出した場合にマルチポートメモリの第一のポートのデータを選択出力し、同一アドレス検出手段がマルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスとが同一であるとともにマルチポートメモリの第一のポートへのライト動作がイネーブルであるこ

とを検出しない場合にマルチポートメモリの第二のポートのデータを選択出力するセクタ手段と、を備えることを特徴とする。

#### 【0011】

マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスが同一の場合には、第二のポートの動作を停止するとともに、第一のポートのデータを選択出力することによって、同時に同一アドレスへのアクセスをすることを可能にすることができる。

#### 【0012】

#### 【発明の実施の形態】

以下、本発明のマルチポートメモリのアービタ装置及び半導体装置について、図面を参照しつつ詳細に説明する。

#### 【0013】

#### 〔第一の実施の形態〕

図1は、本発明のマルチポートメモリのアービタ装置の一構成例を示す概略図である。図1において、本発明のマルチポートメモリのアービタ装置は、完全同期式のマルチポートメモリ101の二つのポートへの入力アドレスが同一であることを検出する同一アドレス検出回路102と、ORゲート回路103と、D型フリップフロップ104と、D型フリップフロップ104の出力信号のホールドを調整するバッファ105と、セクタ106とを、備えている。

#### 【0014】

マルチポートメモリ101は、AポートとBポートの二つのポートを備えている。マルチポートメモリ101のAポートは、ライト専用ポートである。マルチポートメモリ101のAポートは、アドレス入力端子AAn、クロック入力端子CKA、非動作指示入力端子XC SA、ライトイネーブル入力端子XWE A、データ入力端子DAn、データ出力端子YAnから構成されている。また、マルチポートメモリ101のBポートは、リード専用ポートである。マルチポートメモリ101のBポートは、アドレス入力端子ABn、クロック入力端子CKB、非動作指示入力端子XC SB、ライトイネーブル入力端子XWE B、データ入力端子DBn、データ出力端子YBnから構成されている。

## 【0015】

マルチポートメモリ101のアドレス入力端子AAnは、外部回路からアドレス入力線201を介してライトアドレスを受け取る。クロック入力端子CKAは、外部回路からクロック入力線202を介してクロック信号を受け取る。非動作指示入力XC SA端子は、外部回路から非動作指示入力線203を介して非動作指示を受け取る。ライトイネーブル入力端子XWE Aは、アクティブ・ローの入力端子である。また、ライトイネーブル入力端子XWE Aは、Aポートがライト専用ポートであるため、接地されている。データ入力端子DAnは、外部回路からデータ入力線205を介して、ライトデータを受け取る。データ出力端子YAnは、Aポートがライト専用ポートであるため、データ入力端子DAnに入力されたライトデータをスルーでデータ出力線206へ出力する。

## 【0016】

マルチポートメモリ101のアドレス入力端子ABnは、外部回路からアドレス入力線207を介してリードアドレスを受け取る。クロック入力端子CKBは、外部回路からクロック入力線208を介してクロック信号を受け取る。非動作指示入力端子XC SBは、ORゲート回路103から非動作指示を受け取る。ライトイネーブル入力端子XWE Bは、アクティブ・ローの入力端子である。また、ライトイネーブル入力端子XWE Bは、Bポートがリード専用ポートであるため、プルアップされている。データ入力端子DBnは、Bポートがリード専用ポートであるため、接地されている。データ出力端子YAnは、アドレス入力端子ABnに入力されたアドレスに保持されているデータを出力する。

## 【0017】

同一アドレス検出回路102は、アドレス入力信号線201からライトアドレスを、アドレス入力信号線207からリードアドレスを夫々受け取る。そして、同一アドレス検出回路102は、ライトアドレスとリードアドレスが同一アドレスである場合には、同一アドレス検出信号出力線211へ論理“H”の信号を出力する。また、同一アドレス検出回路102は、ライトアドレスとリードアドレスが同一アドレスではない場合には、同一アドレス検出信号出力線211へ論理“L”の信号を出力する。

## 【0018】

ORゲート回路103は、二入力のORゲート回路である。ORゲート回路103の二つの入力端子は、非動作信号入力線209と、同一アドレス検出信号出力線211と、に接続されている。

## 【0019】

D型フリップフロップ104の入力端子は、同一アドレス検出信号出力線211に接続されている。また、D型フリップフロップ104のクロック入力端子は、リードクロック入力線208に接続されている。

## 【0020】

バッファ105の入力端子は、D型フリップフロップ104の出力端子に接続されている。

## 【0021】

セクタ106の入力端子Aは、マルチポートメモリ101のデータ出力YAnと接続されている。また、セクタ106の入力端子Bは、マルチポートメモリ101のデータ出力端子YBnと接続されている。更に、セクタ106の入力端子Sは、バッファ105の出力端子と接続されている。また、セクタ106の出力端子Yは、データ出力線210と接続されている。セクタ106は、入力端子Sへ論理“H”の信号が入力された場合には、入力端子Aへ入力されるデータを出力端子Yから出力する。また、セクタ106は、入力端子Sへ論理“L”の信号が入力された場合には、入力端子Bへ入力されるデータを出力端子Yから出力する。

## 【0022】

次に、マルチポートメモリのアービタ装置の動作について、説明する。

## 【0023】

まず、アドレス入力線201のライトアドレスとアドレス入力線207のリードアドレスが同一の場合の動作について、説明する。

## 【0024】

図2は、アドレス入力線201のライトアドレスとアドレス入力線207のリードアドレスが同一の場合の、マルチポートメモリ101、同一アドレス検出回

路102、ORゲート回路103、D型フリップフロップ104、バッファ105、及びセクタ106のタイミングチャートである。

【0025】

図2において、マルチポートメモリ101のアドレス入力端子AA<sub>n</sub>には、アドレスaが入力される。また、マルチポートメモリ101のデータ入力端子DA<sub>n</sub>へは、データnが入力される。更に、マルチポートメモリ101のライトイネーブル入力端子XWEAは、接地されている。また、マルチポートメモリ101のクロック入力端子CKAには、クロック信号が入力される。従って、マルチポートメモリ101のアドレスaには、クロック入力端子CKAへ入力されるクロック信号の立ち上がりエッジのタイミングで、データnが書き込まれる。また、アドレスaにデータnが書き込まれた時から所定のディレイの後、マルチポートメモリ101のデータ出力端子YA<sub>n</sub>からは、データ入力端子DA<sub>n</sub>へ入力されたデータnがスルー出力される。

【0026】

一方、マルチポートメモリ101のアドレス入力端子AB<sub>n</sub>には、アドレス入力端子AA<sub>n</sub>へ入力されるアドレスaと同一のアドレスaが入力される。そのため、同一アドレス検出回路102は、論理“H”の信号を同一アドレス検出信号出力線211へ出力する。ORゲート回路103の二つの入力端子のうちの一つは同一アドレス検出信号出力線211に接続されているため、同一アドレス検出回路102が論理“H”の信号を出力すると、マルチポートメモリ101の非動作入力端子XC SBには論理“H”の信号が入力される。従って、クロック入力端子CKBにクロック入力端子CKAと同一・同相クロックが入力されているにもかかわらず、マルチポートメモリ101のBポートは動作しない。そのため、データ出力端子YB<sub>n</sub>からは、直前のリード動作によって読み出されたデータmが出力され続けることとなる。

【0027】

また、D型フリップフロップ104の入力端子Dは同一アドレス検出信号出力線211に接続されている。そのため、クロック入力線208から入力されるクロック信号の立ち上がりエッジのタイミングで、D型フリップフロップ104の

出力端子Qからは論理“H”の信号が出力される。

【0028】

バッファ105の入力端子にD型フリップフロップ104から論理“H”の信号が入力されると、セクタ106の入力端子Sに、論理“H”の信号が入力される。従って、セクタ106は、マルチポートメモリ101のデータ出力端子YAnから出力されるデータnを、出力端子Yから出力する。

【0029】

次に、アドレス入力線201のライトアドレスとアドレス入力線207のリードアドレスが異なる場合の動作について、説明する。

【0030】

ライトアドレスとリードアドレスが異なる場合、同一アドレス検出回路102は、論理“L”の信号を同一アドレス検出信号出力線211へ出力する。従って、マルチポートメモリ101のBポートでは、所定のリード動作が行われる。また、同一アドレス検出回路102から出力された論理“L”の信号が、D型フリップフロップ104及びバッファ105を介して、セクタ106の入力端子Sに入力される。従って、セクタ106の出力端子Yからは、所定のリード動作が行われたBポートのデータ出力端子YBnに出力されたリードデータが、出力される。

【0031】

以上、本発明のマルチポートメモリのアービタ装置の形態例を示したが、マルチポートメモリ101、同一アドレス検出回路102、ORゲート回路103、D型フリップフロップ104、バッファ105、及びセクタ106を半導体装置として実現することができる。

【0032】

〔第二の実施の形態〕

次に、本発明の第二の実施の形態について、説明する。図3は、3ポート（1リード／ライトポート、1リードポート）のマルチポートメモリに本発明のマルチポートメモリのアービタ装置を適用した一構成例の概要図である。

【0033】

図 3 において、本発明のマルチポートメモリのアービタ装置は、完全同期式のマルチポートメモリ 3 0 1 への入力アドレスが同一であることを検出する同一アドレス検出回路 2 0 2 と、OR ゲート回路 2 0 3 と、D 型フリップフロップ 2 0 4 と、D 型フリップフロップ 2 0 4 の出力信号のホールドを調整するバッファ 2 0 5 と、セクタ 2 0 6 とを、備えている。

## 【 0 0 3 4 】

マルチポートメモリ 3 0 1 は、A ポートと B ポートを備えている。マルチポートメモリ 3 0 1 の A ポートは、リード／ライトポートである。マルチポートメモリ 3 0 1 の A ポートは、アドレス入力端子  $AA_n$ 、クロック入力端子  $CKA$ 、非動作指示入力端子  $XCSA$ 、ライトイネーブル入力端子  $XWEA$ 、データ入力端子  $DA_n$ 、データ出力端子  $YA_n$  から構成されている。また、マルチポートメモリ 3 0 1 の B ポートは、リード専用ポートである。マルチポートメモリ 3 0 1 の B ポートは、アドレス入力端子  $AB_n$ 、クロック入力端子  $CKB$ 、非動作指示入力端子  $XCSB$ 、ライトイネーブル入力端子  $XWEB$ 、データ入力端子  $DB_n$ 、データ出力端子  $YB_n$  から構成されている。

## 【 0 0 3 5 】

マルチポートメモリ 3 0 1 のアドレス入力端子  $AA_n$  は、外部回路からアドレス入力線 4 0 1 を介してリード／ライトアドレスを受け取る。クロック入力端子  $CKA$  は、外部回路からクロック入力線 4 0 2 を介してクロック信号を受け取る。非動作指示入力  $XCSA$  端子は、外部回路から非動作指示入力線 4 0 3 を介して非動作指示信号を受け取る。ライトイネーブル入力端子  $XWEA$  は、外部回路からライトイネーブル入力線 4 0 4 を介してライトイネーブル信号を受け取る。データ入力端子  $DA_n$  は、外部回路からデータ入力線 4 0 5 を介して、ライトデータを受け取る。データ出力端子  $YA_n$  は、ライト動作の場合にはデータ入力端子  $DA_n$  に入力されたライトデータをスルーでデータ出力線 4 0 6 へ出力し、リード動作の場合にはアドレス入力端子  $AA_n$  に入力されたアドレスに保持されているデータをデータ出力線 4 0 6 へ出力する。

## 【 0 0 3 6 】

マルチポートメモリ 3 0 1 のアドレス入力端子  $AB_n$  は、外部回路からアドレ

ス入力線407を介してリードアドレスを受け取る。クロック入力端子CKBは、外部回路からクロック入力線408を介してクロック信号を受け取る。非動作指示入力端子XCSBは、ORゲート回路303から非動作指示信号を受け取る。ライトイネーブル入力端子XWEBは、アクティブ・ローの入力である。また、ライトイネーブル入力端子XWEBは、Bポートがリード専用ポートであるため、プルアップされている。データ入力端子DBnは、Bポートがリード専用ポートであるため、接地されている。データ出力端子YAnは、アドレス入力端子ABnに入力されたアドレスに保持されているデータを出力する。

## 【0037】

同一アドレス検出回路302は、アドレス入力信号線401からライトアドレスを、アドレス入力信号線407からリードアドレスを、ライトイネーブル入力線404からライトイネーブル信号を、夫々受け取る。そして、同一アドレス検出回路302は、ライトアドレスとリードアドレスが同一アドレスであるとともにライトイネーブル信号がアクティブである場合には、同一アドレス検出信号出力線411へ論理“H”の信号を出力する。また、同一アドレス検出回路302は、それ以外の場合には、同一アドレス検出信号出力線411へ論理“L”の信号を出力する。

## 【0038】

ORゲート回路303は、二入力のORゲート回路である。ORゲート回路303の二つの入力端子は、非動作信号入力線409と、同一アドレス検出信号出力線411と、に接続されている。

## 【0039】

D型フリップフロップ304の入力端子は、同一アドレス検出信号出力線411に接続されている。また、D型フリップフロップ304のクロック入力端子は、リードクロック入力線408に接続されている。

## 【0040】

バッファ305の入力端子は、D型フリップフロップ304の出力端子に接続されている。

## 【0041】

セレクタ306の入力端子Aは、マルチポートメモリ301のデータ出力YAnと接続されている。また、セレクタ306の入力端子Bは、マルチポートメモリ301のデータ出力端子YBnと接続されている。更に、セレクタ306の入力端子Sは、バッファ305の出力端子と接続されている。また、セレクタ306の出力端子Yは、データ出力線410と接続されている。セレクタ306は、入力端子Sへ論理“H”の信号が入力された場合には、入力端子Aへ入力されるデータを出力端子Yから出力する。また、セレクタ306は、入力端子Sへ論理“L”の信号が入力された場合には、入力端子Bへ入力されるデータを出力端子Yから出力する。

## 【0042】

次に、マルチポートメモリのアービタ装置の動作について、説明する。

## 【0043】

まず、アドレス入力線401のライトアドレスとアドレス入力線407のリードアドレスが同一の場合であるとともにライトイネーブル入力線404の信号がイネーブルである場合の動作について、説明する。

## 【0044】

アドレス入力線401のライトアドレスとアドレス入力線407のリードアドレスが同一の場合であるとともにライトイネーブル入力線404の信号がイネーブルである場合、同一アドレス検出回路302は、論理“H”の信号を同一アドレス検出信号出力線411へ出力する。

## 【0045】

ORゲート回路303の二つの入力端子のうちの一つは同一アドレス検出信号出力線411に接続されているため、同一アドレス検出回路302が論理“H”の信号を出力すると、マルチポートメモリ301の非動作入力端子XC SBには論理“H”の信号が入力される。従って、マルチポートメモリ301のBポートは動作しない。

## 【0046】

また、D型フリップフロップ304の入力端子Dは同一アドレス検出信号出力線411に接続されている。そのため、クロック入力線408から入力されるク

ロック信号の立ち上がりエッジのタイミングで、D型フリップフロップ304の出力端子Qからは論理“H”の信号が出力される。

【0047】

バッファ305の入力端子にD型フリップフロップ304から論理“H”の信号が入力されると、セクタ306の入力端子Sに、論理“H”の信号が入力される。従って、セクタ306は、マルチポートメモリ301のデータ出力端子YAnから出力されるデータnを、出力端子Yから出力する。

【0048】

次に、アドレス入力線401のライトアドレスとアドレス入力線407のリードアドレスが異なるか、又はライトイネーブル信号線404の信号がディスエーブルの場合の動作について、説明する。

【0049】

この場合、同一アドレス検出回路302は、論理“L”の信号を同一アドレス検出信号出力線411へ出力する。従って、マルチポートメモリ301のBポートでは、所定のリード動作が行われる。また、同一アドレス検出回路302から出力された論理“L”の信号が、D型フリップフロップ304及びバッファ305を介して、セクタ306の入力端子Sに入力される。従って、セクタ306の出力端子Yからは、所定のリード動作が行われたBポートのデータ出力端子YBnに出力されたリードデータが、出力される。

【0050】

以上、本発明のマルチポートメモリのアービタ装置の形態例を示したが、4ポート（リード／ライトポートが2ポート）のマルチポートメモリに対しても、同様に本発明のマルチポートメモリのアービタ装置を適用することができる。

【0051】

また、マルチポートメモリ301、同一アドレス検出回路302、ORゲート回路303、D型フリップフロップ304、バッファ305、及びセクタ306を半導体装置として実現することができる。

【0052】

【発明の効果】

以上述べた通り、本発明のマルチポートメモリのアービタ装置及び半導体装置によれば、マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスが同一の場合に第二のポートの動作を停止するとともに第一のポートのデータを選択出力することによって、同時に同一アドレスのアクセスをすることを可能にすることができるようになった。

【図面の簡単な説明】

【図 1】

本発明によるマルチポートメモリのアービタ装置の一形態の構成例を示す図である。

【図 2】

本発明によるマルチポートメモリのアービタ装置のタイミングチャートである。

【図 3】

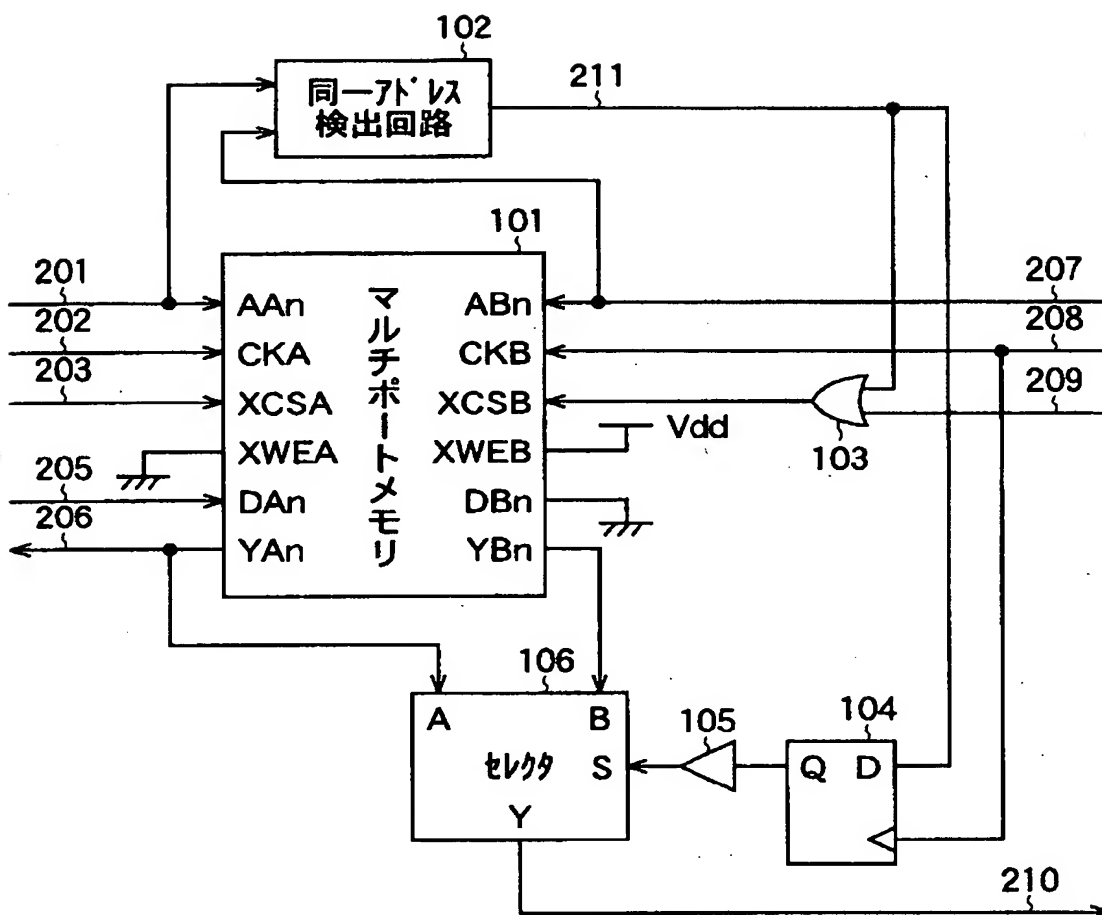
本発明によるマルチポートメモリのアービタ装置の一形態の構成例を示す図である。

【符号の説明】

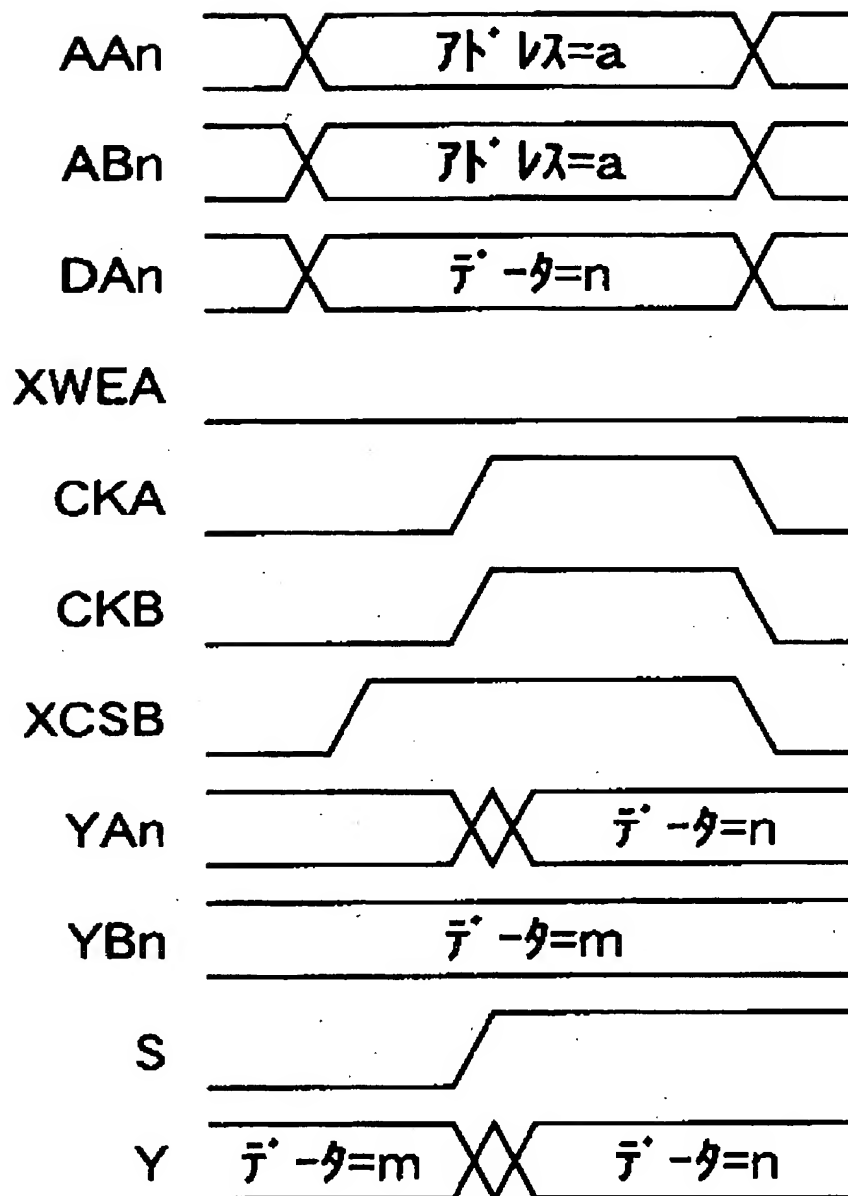
- 1 0 1    マルチポートメモリ
- 1 0 2    同一アドレス検出回路
- 1 0 3    ORゲート回路
- 1 0 4    D型フリップフロップ
- 1 0 5    バッファ
- 1 0 6    セレクタ
- 3 0 1    マルチポートメモリ
- 3 0 2    同一アドレス検出回路
- 3 0 3    ORゲート回路
- 3 0 4    D型フリップフロップ
- 3 0 5    バッファ
- 3 0 6    セレクタ

【書類名】 図面

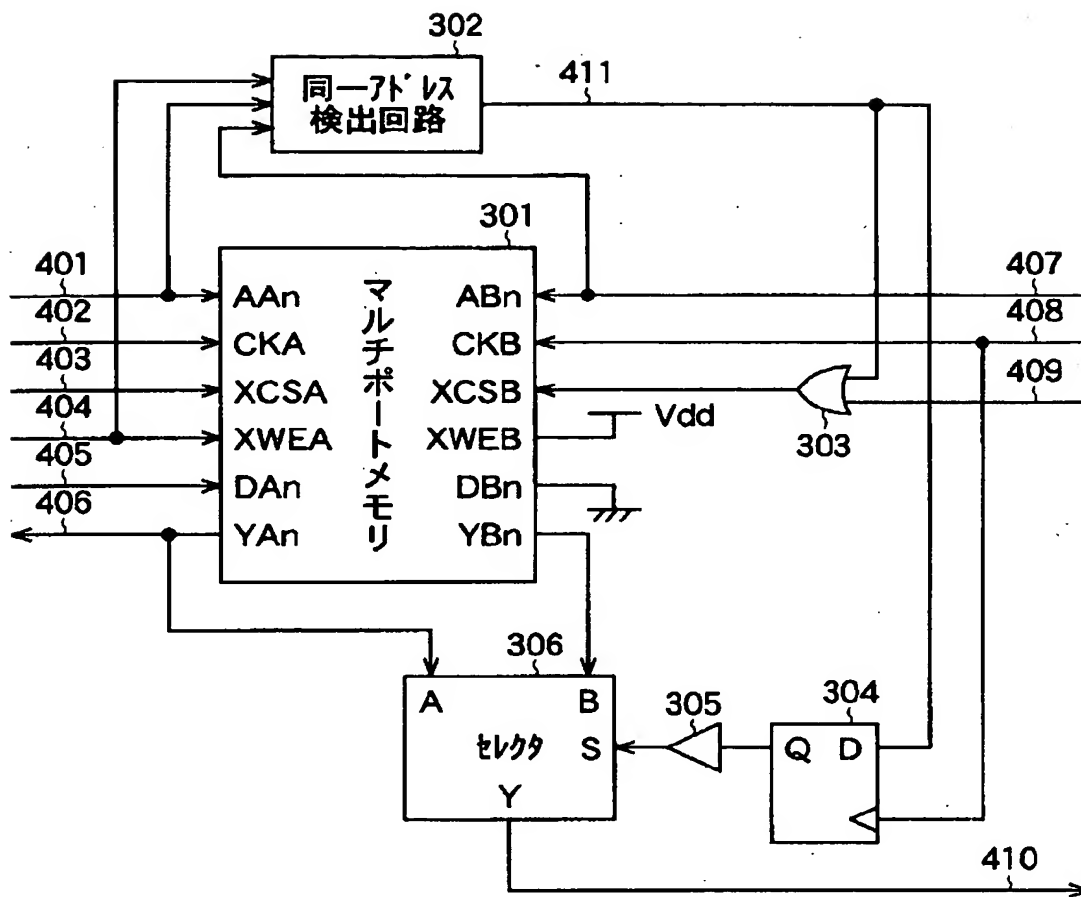
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 マルチポートメモリの第一のポートへの入力アドレスと第二のポートへの入力アドレスが同一の場合に、同時に同一アドレスのアクセスをすることを可能にすることができるマルチポートメモリのアービタ装置を提供する。

【解決手段】 本発明のマルチポートメモリのアービタ装置は、マルチポートメモリ 1 0 1 の二つのポートへの入力アドレスが同一であることを検出する同一アドレス検出回路 1 0 2 と、ORゲート回路 1 0 3 と、D型フリップフロップ 1 0 4 と、バッファ 1 0 5 と、ライトポートの出力データとリードポートの出力データを選択して出力するセクタ 1 0 6 と、を備える。マルチポートメモリのAポートへの入力アドレスとBポートへの入力アドレスが同一の場合にBポートの動作を停止するとともにAポートのデータを選択出力することによって、同時に同一アドレスのアクセスをすることを可能にすることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社